



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원 번호 : 10-2003-0025778  
Application Number

출원 년 월 일 : 2003년 04월 23일  
Date of Application APR 23, 2003

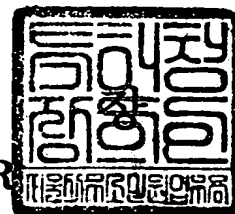
출원인 : 주식회사 하이닉스반도체  
Applicant(s) Hynix Semiconductor Inc.



2003      년      05      월      29      일

특      허      청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0006
【제출일자】	2003.04.23
【발명의 명칭】	반도체소자의 캐패시터 제조방법
【발명의 영문명칭】	Method for fabricating capacitor of semiconductor device
【출원인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【성명】	강성배
【대리인코드】	9-1999-000101-3
【포괄위임등록번호】	1999-024436-4
【발명자】	
【성명의 국문표기】	서원선
【성명의 영문표기】	SE0, Won Sun
【주민등록번호】	730730-1328116
【우편번호】	467-860
【주소】	경기도 이천시 부발읍 고당기숙사 101동 905호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 강성배 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	9 면 9,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	9 항 397,000 원
【합계】	435,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

## 【요약서】

## 【요약】

본 발명은 반도체소자의 캐패시터 제조방법을 개시한다. 개시된 발명은, 반도체기판상에 형성된 층간절연막내에 플러그 콘택홀을 형성한후 그 내부에 제 1콘택플러그를 형성하고, 상기 제1 콘택플러그를 포함한 전체 구조의 상면에 제1장벽층을 형성한후 상기 제1 장벽층상에 제1폴리실리콘층과 제2장벽층을 형성하는 단계; 상기 제2장벽층과 제1폴리실리콘층 및 제1장벽층을 순차적으로 패터닝하여 제1콘택홀을 형성하는 단계; 상기 제1콘택홀을 포함한 전체 구조의 상면에 제1유전체층을 형성하는 단계; 상기 제1콘택홀 측벽에만 남도록 상기 제1 콘택홀하면 및 상면에 있는 제1유전체층 부분을 제거하는 단계; 상기 제1콘택홀 측벽에 남아 있는 제1유전체층을 포함한 전체 구조의 상면에 제2폴리실리콘층을 형성한후 상기 제1콘택홀을 제외한 부분에 있는 제2폴리실리콘층 부분을 제거하는 단계; 상기 전체 구조의 상면에 제2유전체층을 형성한후 그 위에 제3폴리실리콘층을 형성한후 패터닝하는 단계; 상기 전체 구조의 상면에 층간절연막을 형성한후 상기 층간절연막과 패터닝된 제3폴리실리콘층 및 제2유전체층 및 제2장벽층 그리고 제1폴리실리콘층을 선택적으로 제거하여 제2콘택홀을 형성하는 단계; 및 상기 제2 콘택홀내에 제2콘택플러그를 형성한후 상기 제2콘택플러그 및 상기 층간절연막상에 금속배선을 형성하는 단계를 포함하여 구성된다.

## 【대표도】

도 2h

## 【명세서】

## 【발명의 명칭】

반도체소자의 캐패시터 제조방법{Method for fabricating capacitor of semiconductor device}

## 【도면의 간단한 설명】

도 1a 내지 도 1h는 종래기술에 따른 반도체소자의 캐패시터 제조방법을 설명하기 위한 공정단면도,

도 2a 내지 도 2h는 본 발명의 일실시예에 따른 반도체소자의 캐패시터 제조방법을 설명하기 위한 공정단면도,

도 3a 내지 도 3h는 본 발명의 다른 실시예에 따른 반도체소자의 캐패시터 제조방법을 설명하기 위한 공정단면도.

## [도면부호의설명]

51 : 반도체기판    53 : 비트라인전극

55 : 하드마스크층    57 : 제1층간절연막

59 : 콘택홀    61 : 플러그

63 : 제1절화막    65 : 제1폴리실리콘층

67 : 제2절화막    69 : 스토리지노드콘택홀

71 : 제1유전체층    73 : 제2폴리실리콘층

75 : 제2유전체층    77 : 상부전극용 폴리실리콘층

79 : 제2층간절연막 81 : 금속배선 콘택홀

83 : 플러그 85 : 상부배선

**【발명의 상세한 설명】**

**【발명의 목적】**

**【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <14> 본 발명은 반도체소자의 캐패시터 제조방법에 관한 것으로서, 보다 상세하게는 고집적 반도체소자에 적합한 캐패시터의 용량 확보와 함께 패턴의 안정성을 향상시킬 수 있는 반도체소자의 캐패시터 제조방법에 관한 것이다.
- <15> 기존의 실린더 형태의 캐패시터 형성공정은 고집적화 될수록 그 용량에 한계를 가지게 되었다.
- <16> 셀 피치가 줄어들어 따라 캐패시터의 단면적이 줄어들게 되고, 그것을 보상하기 위해 높이를 점점 크게 할 수 밖에 없다.
- <17> 그러나, 높이를 높이는 것도 패턴 형성을 고려할 때 한계가 있으며, 실린더 형성시에 스토리지노드의 쓰러짐을 방지해야 하는 큰 어려움이 있다.
- <18> 이러한 문제들을 안고 있는 종래기술에 따른 반도체소자의 캐패시터 제조방법에 대해 도 1a 내지 도 1h를 참조하여 설명하면 다음과 같다.
- <19> 도 1a 내지 도 1h는 종래기술에 따른 반도체소자의 캐패시터 제조방법을 설명하기 위한 공정단면도이다.

- <20> 종래기술에 따른 반도체소자의 캐패시터 제조방법은, 도 1a에 도시된 바와같이, 소자분리막과 워드라인이 형성된 반도체기판(11)상에 비트라인(13)과 하드마스크층(15)을 형성한후 전체 구조의 상면에 층간절연막(17)을 증착한다.
- <21> 그다음, 상기 층간절연막(17)의 일부분을 선택적으로 제거하여 상기 비트라인(13)사이의 반도체기판(11)의 일부분을 노출시키는 플러그콘택홀(19)을 형성한후 그 내부에 콘택플러그(21)을 형성한다.
- <22> 이어서, 전체 구조의 상면에 식각정지용 제1절화막(23)을 증착한후 그 위에 층간산화막(25)을 증착한다.
- <23> 그다음, 도 1b에 도시된 바와같이, 스토리지노드 형성영역을 정의하기 위한 마스크패턴(미도시)을 상기 제1층간산화막(25)상에 형성한후 마스크패턴(미도시)을 마스크로 상기 제1층간산화막(25) 및 제1절화막(23)을 순차적으로 제거하여 스토리지노드콘택홀(27)을 형성한다.
- <24> 이어서, 도 1c에 도시된 바와같이, 상기 마스크패턴(미도시)을 제거한후 상기 스토리지노드콘택홀(27)를 포함한 전체 구조의 표면에 스토리지노드용 폴리실리콘층(29)을 증착한다.
- <25> 그다음, 상기 스토리지노드용 폴리실리콘층(29)상에 상기 스토리지노드콘택홀(27)을 매립할 정도의 두께로 제2증착산화막(31)을 증착한후 CMP공정을 통해 분리 및 평탄화시킨다.
- <26> 이어서, 도 1d에 도시된 바와같이, 상기 제1층간산화막(25) 및 제2층간산화막(31)을 제거하여 실린더 형태의 스토리지노드전극(29a)을 형성한다. 이때, 도 1e의 "A"에서

와 같이, 상기 실린더 형태의 스토리지노드전극(29a) 형성시에 쓰러짐 문제로 인해 스토리지노드전극간 브릿지가 발생한다.

<27>       그다음, 도 1f에 도시된 바와같이, 상기 스토리지노드전극(29a)표면에 유전체막(33)을 증착한다.

<28>       이어서, 도 1g에 도시된 바와같이, 상기 유전체막(33)상에 플레이트용 폴리실리콘층을 증착하고 이어 이를 평탄화시켜 캐패시터의 플레이트전극(35)을 형성한다.

<29>       이어서, 도 1h에 도시된 바와같이, 상기 플레이트전극(35)을 포함한 층간절연막(37)상에 추가로 층간절연막(39)을 증착한후 이를 선택적으로 제거하여 상기 플레이트전극(35)을 노출시키는 배선콘택홀(41)을 형성한다.

<30>       그다음, 노출된 플레이트전극(35)과 전기적으로 연결되는 배선플러그(43)을 상기 배선콘택홀(41)상에 형성한후 그 위에 금속배선(45)을 형성한다.

#### 【발명이 이루고자 하는 기술적 과제】

<31>       상기와 같은 종래기술에 의하면, 도 1d에서와 같이 층간산화막을 제거하여 실린더 형태의 스토리지노드전극을 형성하는 경우에 파손되거나(broken) 하부면적 부족 등의 문제와 유전물질의 스텝 커버리지 등을 고려하여 MPS를 사용하지 않거나 혹은 실린더 내부에만 MPS를 사용해야 하는 문제점이 있다.

<32>       또한, 도 1e에서와 같이, 실린더 형태의 스토리지노드전극 형성시에 패턴의 쓰러짐 문제로 인해 노드간 브릿지가 발생하게 된다.

<33>       이에 본 발명은 상기 종래기술의 제반 문제점을 해결하기 위하여 안출한 것으로서, 실린더 형태의 캐패시터 형성시에 발생하는 패턴 부러짐(broken)이나 쓰러짐(leaning)

등의 문제를 근본적으로 방지하여 안정적인 패턴 형성이 가능하고, 실린더 형태의 스트리지노드전극의 내부 및 외부 모두 캐패시터 용량 증가에 기여 할 수 있는 반도체소자의 캐패시터 제조방법을 제공함에 그 목적이 있다.

### 【발명의 구성 및 작용】

- <34> 상기 목적을 달성하기 위한 본 발명에 따른 반도체소자의 캐패시터 제조방법은, 반도체 기판상에 층간절연막을 형성한후 이를 선택적으로 제거하여 플러그 콘택홀을 형성하는 단계;
- <35>       상기 플러그콘택홀내에 제1콘택플러그를 형성하는 단계;
- <36>       상기 제1콘택플러그를 포함한 전체 구조의 상면에 제1장벽층을 형성하는 단계;
- <37>       상기 제1장벽층상에 제1폴리실리콘층과 제2장벽층을 형성하는 단계;
- <38>       상기 제2장벽층과 제1폴리실리콘층 및 제1장벽층을 순차적으로 패터닝하여 상기 콘택플러그 상면을 드러나도록하는 제1콘택홀을 형성하는 단계;
- <39>       상기 제1콘택홀을 포함한 전체 구조의 상면에 제1유전체층을 형성하는 단계;
- <40>       상기 제1콘택홀측벽에만 남도록 상기 제1콘택홀하면 및 상면에 있는 제1유전체층 부분을 제거하는 단계;
- <41>       상기 제1콘택홀측벽에 남아 있는 제1유전체층을 포함한 전체 구조의 상면에 제2폴리실리콘층을 형성한후 상기 제1콘택홀을 제외한 부분에 있는 제2폴리실리콘층 부분을 제거하는 단계;
- <42>       상기 전체 구조의 상면에 제2유전체층을 형성한후 그 위에 제3폴리실리콘층을 형성한후 패터닝하는 단계;



- <43>       상기 전체 구조의 상면에 층간절연막을 형성한후 상기 층간절연막과 패터닝된 제3 폴리실리콘층 및 제2유전체층 및 제2장벽층 그리고 제1폴리실리콘층을 선택적으로 제거하여 제2콘택홀을 형성하는 단계; 및
- <44>       상기 제2콘택홀내에 제2콘택플러그를 형성한후 상기 제2콘택플러그 및 상기 층간절연막상에 금속배선을 형성하는 단계를 포함하여 구성되는 것을 특징으로한다. 또한, 본 발명에 따른 반도체소자의 캐패시터 제조방법은,
- <45>       반도체기판상에 제1층간절연막을 형성한후 이를 선택적으로 제거하여 플러그 콘택홀을 형성한후 상기 플러그콘택홀내에 제1콘택플러그를 형성하는 단계;
- <46>       상기 제1콘택플러그를 포함한 전체 구조의 상면에 제1장벽층을 형성하는 단계;
- <47>       상기 제1장벽층상에 제1폴리실리콘층과 제2장벽층을 형성하는 단계;
- <48>       상기 제2장벽층상에 제2층간절연막을 형성하는 단계;
- <49>       상기 제2층간절연막과 제2장벽층 및 제1폴리실리콘층 그리고 제1장벽층을 선택적으로 제거하여 제1콘택홀을 형성하는 단계;
- <50>       상기 제1콘택홀을 포함한 전체 구조의 상면에 제1유전체층을 형성하는 단계;
- <51>       상기 제1콘택홀측벽에만 남도록 상기 제1콘택홀하면 및 상면에 있는 제1유전체층 부분을 제거하는 단계;
- <52>       상기 제1콘택홀측벽에 남아 있는 제1유전체층을 포함한 전체 구조의 상면에 제2폴리실리콘층을 형성한후 상기 제1콘택홀을 제외한 부분에 있는 제2폴리실리콘층 부분을 제거하는 단계;

- <53>       상기 전체 구조의 상면에 제2유전체층을 형성한후 그 위에 제3폴리실리콘층을 형성한후 패터닝하는 단계;
- <54>       상기 전체 구조의 상면에 제3층간절연막을 형성한후 상기 층간절연막과 패터닝된 제3폴리실리콘층, 제2유전체층, 제2층간절연막 및 제2 장벽층 그리고 제1폴리실리콘층을 선택적으로 제거하여 제2콘택홀을 형성하는 단계; 및
- <55>       상기 제2콘택홀내에 제2콘택플러그를 형성한후 상기 제2콘택플러그 및 상기 제3층간절연막상에 금속배선을 형성하는 단계를 포함하여 구성되는 것을 특징으로한다.
- <56>       (실시예)
- <57>       이하, 본 발명에 따른 반도체소자의 캐패시터 제조방법의 바람직한 실시예들에 대해 첨부된 도면을 참조하여 상세히 설명한다.
- <58>       도 2a 내지 도 2h는 본 발명의 일실시예에 따른 반도체소자의 캐패시터 제조방법을 설명하기 위한 공정단면도이다.
- <59>       본 발명의 바람직한 실시예에 따른 반도체소자의 캐패시터 제조방법은, 도 2a에 도시된 바와같이, 소자분리막과 워드라인이 형성된 반도체기판(51)상에 비트라인(53)과 하드마스크층(55)을 형성한후 전체 구조의 상면에 층간절연막(57)을 증착한다.
- <60>       그다음, 상기 층간절연막(57)의 일부분을 선택적으로 제거하여 상기 비트라인(53)사이의 반도체기판(51)의 일부분을 노출시키는 플러그콘택홀(59)을 형성한후 그 내부에 콘택플러그(61)을 형성한다.
- <61>       이어서, 전체 구조의 상면에 식각정지용 제1질화막(63)을 증착한후 그 위에 제1폴리실리콘층(65)과 제2질화막(67)을 차례로 증착한다.

- <62>       그다음, 도 2b에 도시된 바와같이, 스토리지노드 형성영역을 정의하기 위한 마스크 패턴(미도시)을 상기 제2절화막(67)상에 형성한후 이를 마스크로 상기 제2절화막(67)과 제1폴리실리콘층(65) 및 제1절화막(63)의 일부분을 순차적으로 제거하여 상기 콘택플러그(61)상면을 노출시키는 스토리지노드콘택홀(69)을 형성한다.
- <63>       이어서, 도 2c에 도시된 바와같이, 상기 마스크패턴(미도시)을 제거한후 상기 스토리지노드콘택홀(69)를 포함한 전체 구조의 표면에 제1유전체막(71)을 증착한다. 이때, 상기 제1유전체막(71) 증착전에 패턴 외부표면에 MPS(미도시)을 성장시켜 면적을 확보한다. 여기서, 외부 폴리실리콘의 두께를 조절하여 MPS 성장시에 패턴에 영향이 없도록 한다.
- <64>       그다음, 도 2d에 도시된 바와같이, 비등방성 건식식각공정에 의해 상기 제2절화막 패턴(67a)상부와 스토리지노드콘택홀(69)바닥의 제1유전체막(71)부분을 제거하여 상기 콘택플러그(61) 표면이 외부로 드러나도록 한다.
- <65>       이어서, 도 2e에 도시된 바와같이, 전체 구조의 상면에 스토리지노드용 폴리실리콘층(73)을 증착한후 그 위에 상기 스토리지노드 콘택홀을 매립할 정도 두께로 희생절연막(미도시)을 증착한다.
- <66>       그다음, 도 2f에 도시된 바와같이, 상기 희생절연막(미도시)와 함께 스토리지노드용 폴리실리콘층(73)을 전면식각 또는 CMP공정을 거쳐 선택적으로 제거한후 잔류하는 희생절연막(미도시)을 제거하여 각 스토리지노드전극(73a)을 분리시킨후 전체 구조의 표면에 제2유전체막(75)을 증착한다. 이때, 제2유전체막(75) 증착전에 스토리지노드전극(73a)표면에 MPS구조(미도시)를 성장시켜 캐패시터 면적을 확보할 수도 있다.

- <67> 이어서, 도 2g에 도시된 바와같이, 상기 제2유전체막(75)상에 상부전극용 폴리실리콘층(77)을 증착한다.
- <68> 그다음, 도 2h에 도시된 바와같이, 상기 상부전극용 폴리실리콘층(77)을 포함한 전체 구조상면에 층간절연막(79)을 증착한후 상기 층간절연막(79)과 폴리실리콘층(77), 제2유전체막(75), 제2절화막패턴(67a) 및 제1폴리실리콘층(65)을 선택적으로 제거하여 금속배선 콘택홀(81)을 형성한다. 이때, 금속배선 콘택홀 형성시에 스토리지노드 식각정지용 제1절화막위까지 식각을 할 수 있어 콘택 형성도 용이하게 할 수 있다.
- <69> 이어서, 상기 금속배선콘택홀(81)내에 플러그(83)를 형성한 후 상기 플러그(83) 및 층간절연막(79)상에 금속배선(85)을 형성한다.
- <70> 한편, 도 3a 내지 도 3h에 도시된 본 발명의 다른 실시예에 의하면, 먼저 도 3a에 도시된 바와같이, 소자분리막과 워드라인이 형성된 반도체기판(91)상에 비트라인(93)과 하드마스크층(95)을 형성한후 전체 구조의 상면에 층간절연막(97)을 증착한다.
- <71> 그다음, 상기 층간절연막(97)의 일부분을 선택적으로 제거하여 상기 비트라인(93)사이의 반도체기판(91)의 일부분을 노출시키는 플러그콘택홀(99)을 형성한후 그 내부에 콘택플러그(101)를 형성한다.
- <72> 이어서, 전체 구조의 상면에 식각정지용 제1절화막(103)을 증착한후 그 위에 제1폴리실리콘층(105)과 제2절화막(107) 및 스토리지노드산화막(109)을 차례로 증착한다.
- <73> 그다음, 도 3b에 도시된 바와같이, 스토리지노드 형성영역을 정의하기 위한 마스크패턴(미도시)을 상기 스토리지노드산화막(109)상에 형성한후 이를 마스크로 상기 스트리지노드산화막(109)과 제2절화막(107) 및 제1폴리실리콘층(105) 그리고 제1절화막(103)을

순차적으로 제거하여 상기 콘택플러그(101)상면을 노출시키는 스토리지노드콘택홀(111)을 형성한다.

<74> 이어서, 도 3c에 도시된 바와같이, 상기 마스크패턴(미도시)을 제거한후 상기 스토리지노드콘택홀(111)을 포함한 전체 구조의 표면에 제1유전체막(113)을 증착한다. 이때, 상기 제1유전체막(113) 증착전에 패턴 외부표면에 MPS(미도시)을 성장시켜 면적을 확보한다. 여기서, 외부 폴리실리콘의 두께를 조절하여 MPS 성장시에 패턴에 영향이 없도록 한다.

<75> 그다음, 도 3d에 도시된 바와같이, 비등방성 건식식각공정에 의해 상기 스토리지노드산화막(109)상부와 스토리지노드콘택홀(111)바닥의 제1유전체막(113)부분을 제거하여 상기 콘택플러그(101) 표면이 외부로 드러나도록 한다.

<76> 이어서, 도 3e에 도시된 바와같이, 전체 구조의 상면에 스토리지노드용 폴리실리콘층(115)을 증착한다.

<77> 그다음, 도 3f에 도시된 바와같이, 상기 전체 구조의 상면에 상기 스토리지노드콘택홀을 매립할 정도의 두께로 희생절연막(미도시)을 증착한후 상기 희생절연막(미도시)와 함께 스토리지노드용 폴리실리콘층(115)을 전면식각 또는 CMP공정을 거쳐 선택적으로 제거한후 잔류하는 희생절연막(미도시)을 제거하여 각 스토리지노드전극(115a)을 분리시킨후 전체 구조의 표면상에 제2유전체막(117)을 증착한다. 이때, 유전체막(117) 증착전에 스토리지노드전극(115a)표면에 MPS구조(미도시)를 성장시켜 캐패시터 면적을 확보할 수도 있다.

- <78> 이어서, 도 3g에 도시된 바와같이, 상기 제2유전체막(117)상에 상부전극용 폴리실리콘층(119)을 증착한다.
- <79> 그다음, 도 3h에 도시된 바와같이, 상기 상부전극용 폴리실리콘층(119)을 포함한 전체 구조상면에 층간절연막(121)을 증착한후 상기 층간절연막(121)과 폴리실리콘층(119), 제2유전체막(117), 스토리지노드산화막(109) 및 제2절화막패턴(107) 그리고 제1폴리실리콘층(105)을 순차적으로 제거하여 금속배선 콘택홀(123)을 형성한다.
- <80> 이어서, 상기 금속배선콘택홀(123)내에 플러그(125)를 형성한후 상기 플러그(125) 및 층간절연막(121)상에 금속배선(127)을 형성한다. 이때, 금속배선 콘택홀 형성시에 스토리지노드 식각정지용 제1절화막위까지 식각을 할 수 있어 콘택 형성도 용이하게 할 수 있다.

#### 【발명의 효과】

- <81> 상기에서 설명한 바와같이, 본 발명에 따른 반도체소자의 캐패시터 제조방법에 의하면, 스토리지노드 산화막대신에 폴리실리콘을 증착하여 스토리지노드 패턴을 형성하는 방법을 사용하므로써 폴리실리콘에 스토리지노드패턴을 형성한후 패턴외부(즉, 실린더 외부)에 남아 있는 폴리실리콘은 나중에 상부 플레이트로 사용하여 실린더 캐패시터 형성에 발생하는 부러짐(broken)이나 쓰러짐(leaning)의 문제를 근본적으로 해결할 수 있게 하였다.
- <82> 이러한 안정적인 패턴 형성으로 실린더 내부, 외부 모두 MPS 성장 등을 통해 캐패시터 용량 확보에도 어려움이 없게 된다.

<83>        한편, 본 발명은 상술한 특정의 바람직한 실시예에 한정되지 아니하며, 청구범위에  
서 청구하는 본 발명의 요지를 벗어남이 없이 당해 발명이 속하는 분야에서 통상의 지식을  
을 가진 자라면 누구든지 다양한 변경 실시가 가능할 것이다.

**【특허청구범위】****【청구항 1】**

반도체기판상에 층간절연막을 형성한후 이를 선택적으로 제거하여 플러그 콘택홀을 형성하는 단계;

상기 플러그콘택홀내에 제1콘택플러그를 형성하는 단계;

상기 제1콘택플러그를 포함한 전체 구조의 상면에 제1장벽층을 형성하는 단계;

상기 제1장벽층상에 제1폴리실리콘층과 제2장벽층을 형성하는 단계;

상기 제2장벽층과 제1폴리실리콘층 및 제1장벽층을 순차적으로 패터닝하여 상기 콘택플러그 상면을 드러나도록하는 제1콘택홀을 형성하는 단계;

상기 제1콘택홀을 포함한 전체 구조의 상면에 제1유전체층을 형성하는 단계;

상기 제1콘택홀측벽에만 남도록 상기 제1콘택홀하면 및 상면에 있는 제1유전체층 부분을 제거하는 단계;

상기 제1콘택홀측벽에 남아 있는 제1유전체층을 포함한 전체 구조의 상면에 제2폴리실리콘층을 형성한후 상기 제1콘택홀을 제외한 부분에 있는 제2폴리실리콘층 부분을 제거하는 단계;

상기 전체 구조의 상면에 제2유전체층을 형성한후 그 위에 제3폴리실리콘층을 형성한후 패터닝하는 단계;

상기 전체 구조의 상면에 층간절연막을 형성한후 상기 층간절연막과 패터닝된 제3폴리실리콘층 및 제2유전체층 및 제2장벽층 그리고 제1폴리실리콘층을 선택적으로 제거하여 제2콘택홀을 형성하는 단계; 및



상기 제2콘택홀내에 제2콘택플러그를 형성한후 상기 제2콘택플러그 및 상기 층간절연막상에 금속배선을 형성하는 단계를 포함하여 구성되는 것을 특징으로하는 반도체소자의 캐패시터 제조방법.

**【청구항 2】**

제1항에 있어서, 상기 제2콘택플러그를 통해 제3폴리실리콘층과 제1폴리실리콘층을 연결하는 것을 특징으로하는 반도체소자의 캐패시터 제조방법.

**【청구항 3】**

제1항에 있어서, 상기 제1콘택홀측벽에만 남도록 상기 제1콘택홀하면 및 상면에 있는 제1유전체층 부분을 제거하는 단계는 건식식각공정에 의해 진행하는 것을 특징으로 하는 반도체소자의 캐패시터 제조방법.

**【청구항 4】**

제1항에 있어서, 상기 제1폴리실리콘층과 제3폴리실리콘층은 상하 상부전극으로 사용하는 것을 특징으로하는 반도체소자의 캐패시터 제조방법.

**【청구항 5】**

반도체기판상에 제1층간절연막을 형성한후 이를 선택적으로 제거하여 플러그 콘택홀을 형성한후 상기 플러그콘택홀내에 제1콘택플러그를 형성하는 단계;

상기 제1콘택플러그를 포함한 전체 구조의 상면에 제1장벽층을 형성하는 단계;

상기 제1장벽층상에 제1폴리실리콘층과 제2장벽층을 형성하는 단계;

상기 제2장벽층상에 제2층간절연막을 형성하는 단계;

상기 제2층간절연막과 제2장벽층 및 제1폴리실리콘층 그리고 제1장벽층을 선택적으로 제거하여 제1콘택홀을 형성하는 단계;

상기 제1콘택홀을 포함한 전체 구조의 상면에 제1유전체층을 형성하는 단계;

상기 제1콘택홀측벽에만 남도록 상기 제1콘택홀하면 및 상면에 있는 제1유전체층 부분을 제거하는 단계;

상기 제1콘택홀측벽에 남아 있는 제1유전체층을 포함한 전체 구조의 상면에 제2폴리실리콘층을 형성한후 상기 제1콘택홀을 제외한 부분에 있는 제2폴리실리콘층 부분을 제거하는 단계;

상기 전체 구조의 상면에 제2유전체층을 형성한후 그 위에 제3폴리실리콘층을 형성한후 패터닝하는 단계;

상기 전체 구조의 상면에 제3층간절연막을 형성한후 상기 층간절연막과 패터닝된 제3폴리실리콘층, 제2유전체층, 제2층간절연막 및 제2 장벽층 그리고 제1폴리실리콘층을 선택적으로 제거하여 제2콘택홀을 형성하는 단계; 및

상기 제2콘택홀내에 제2콘택플러그를 형성한후 상기 제2콘택플러그 및 상기 제3층간절연막상에 금속배선을 형성하는 단계를 포함하여 구성되는 것을 특징으로하는 반도체 소자의 캐패시터 제조방법.

#### 【청구항 6】

제5항에 있어서, 상기 제2콘택플러그를 통해 제3폴리실리콘층과 제1폴리실리콘층을 연결하는 것을 특징으로하는 반도체소자의 캐패시터 제조방법.

**【청구항 7】**

제5항에 있어서, 상기 제1콘택홀측벽에만 남도록 상기 제1콘택홀하면 및 상면에 있는 제1유전체층 부분을 제거하는 단계는 건식식각공정에 의해 진행되는 것을 특징으로 하는 반도체소자의 캐패시터 제조방법.

**【청구항 8】**

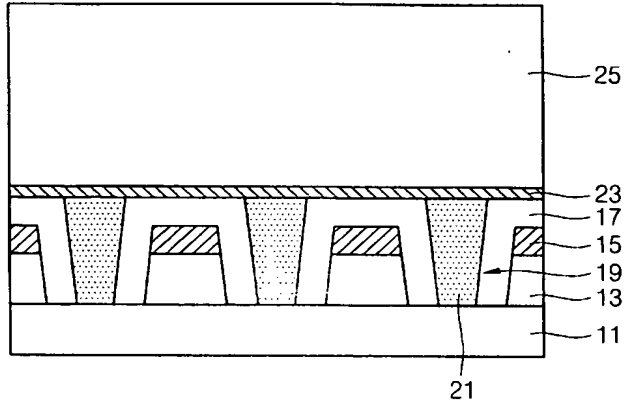
제5항에 있어서, 상기 제1폴리실리콘층과 제3폴리실리콘층은 상하 상부전극으로 사용하는 것을 특징으로하는 반도체소자의 캐패시터 제조방법.

**【청구항 9】**

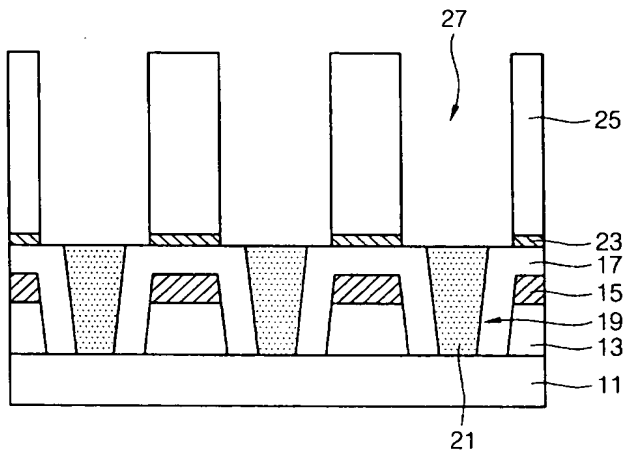
제5항에 있어서, 상기 제2층간절연막은 산화막으로 형성하는 것을 특징으로하는 반도체소자의 캐패시터 제조방법.

【도면】

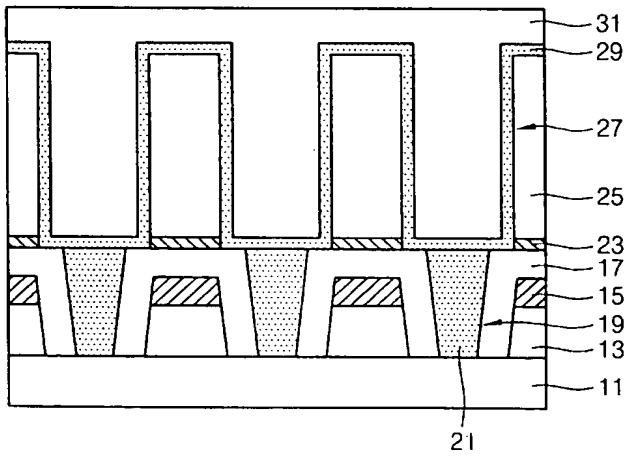
【도 1a】



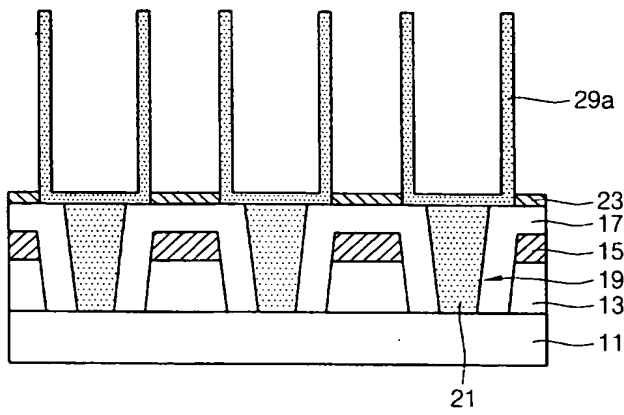
【도 1b】



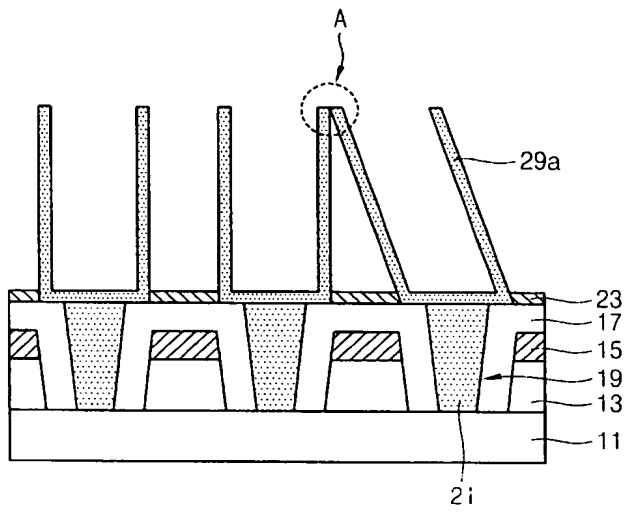
【도 1c】



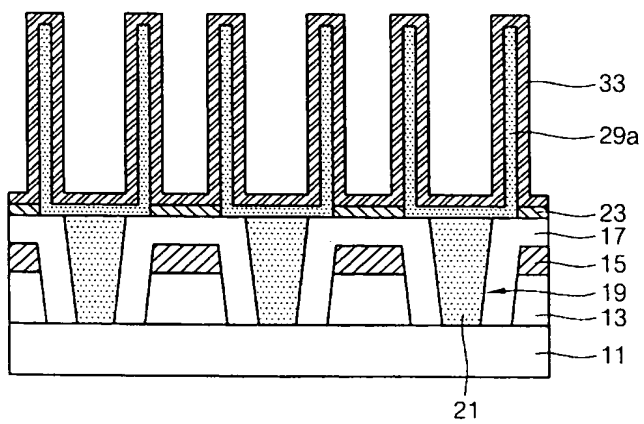
【도 1d】



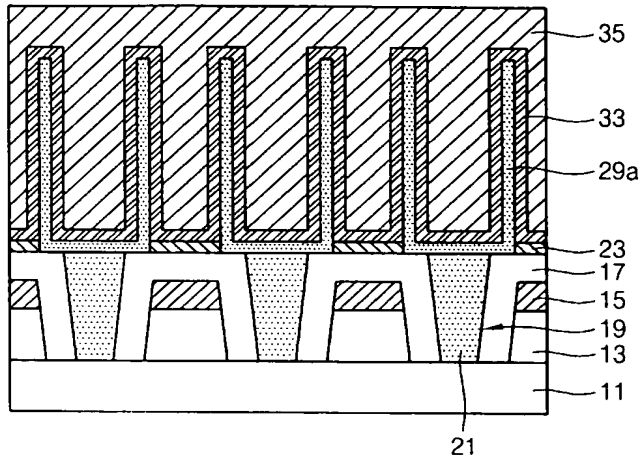
【도 1e】



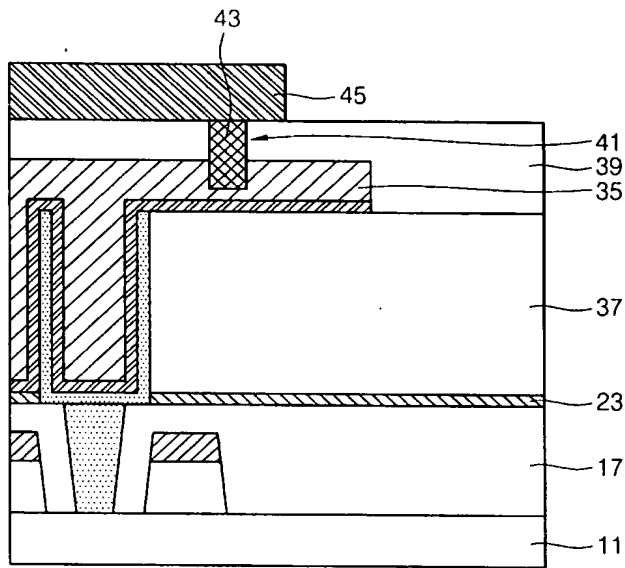
【도 1f】



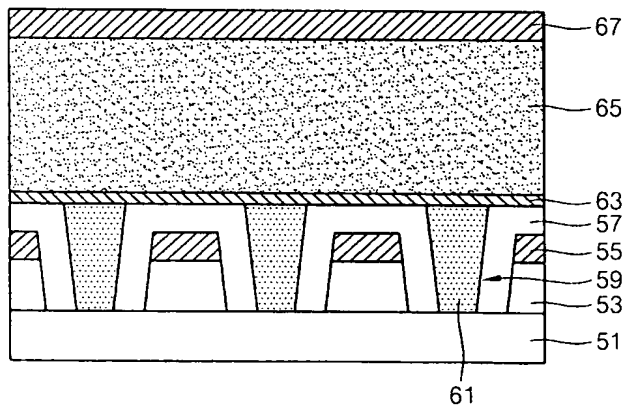
【도 1g】



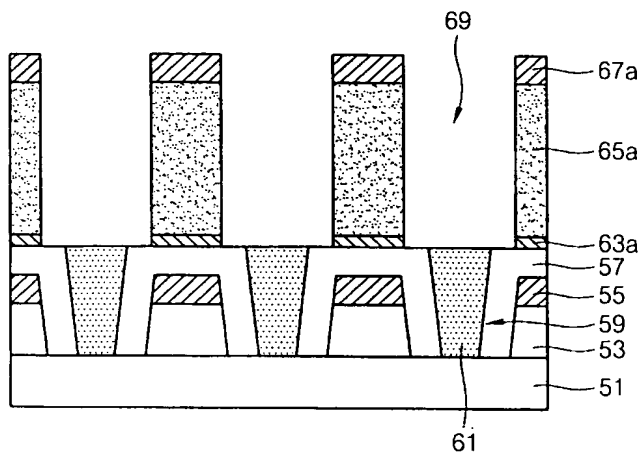
【도 1h】



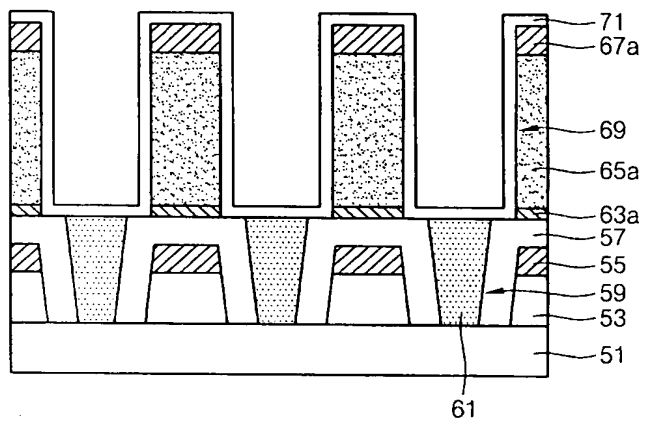
【도 2a】



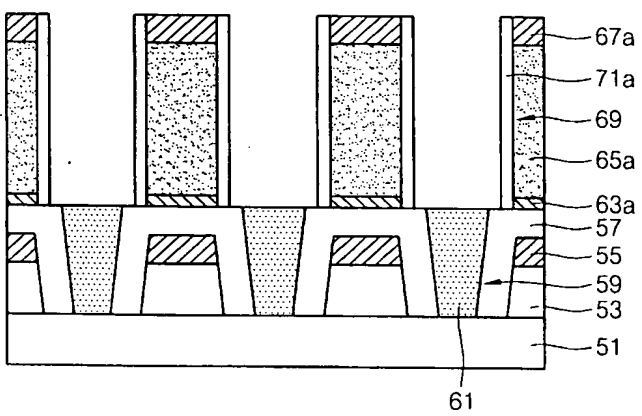
【도 2b】



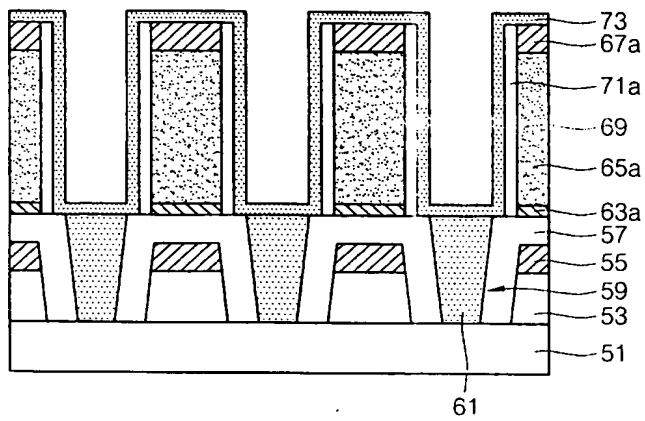
【도 2c】



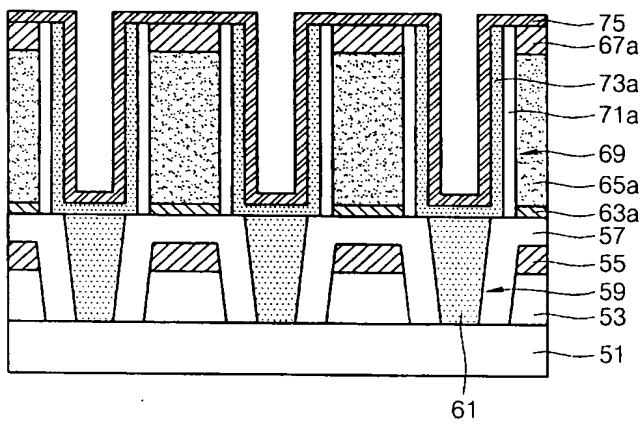
【도 2d】



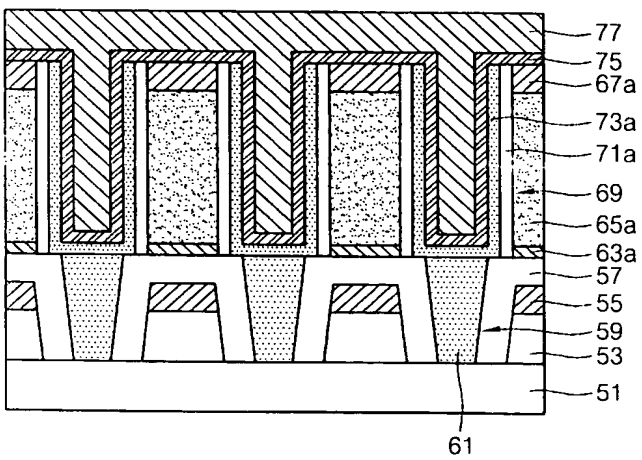
【도 2e】



【도 2f】

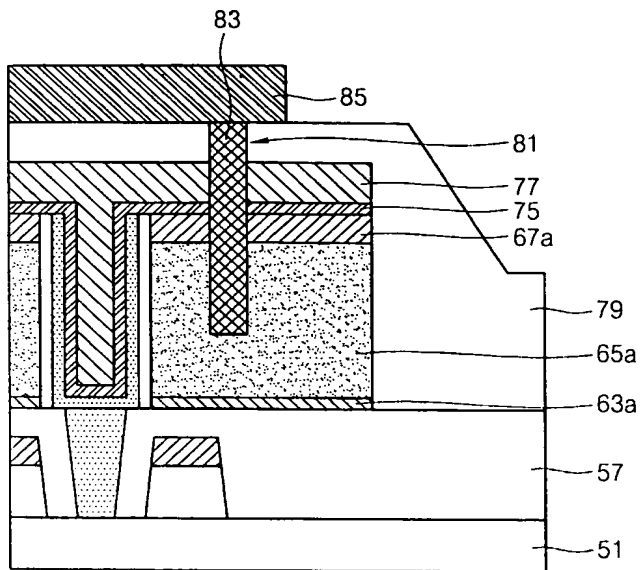


【도 2g】

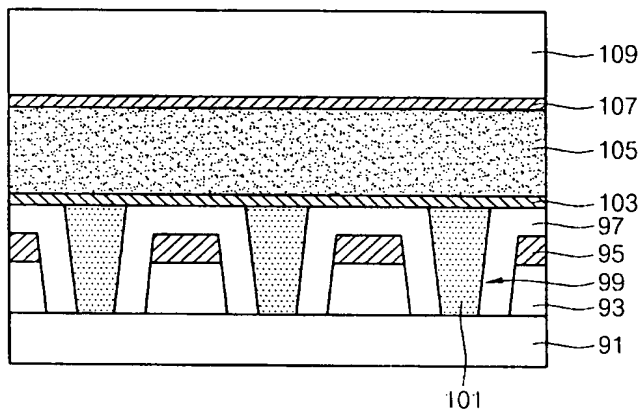




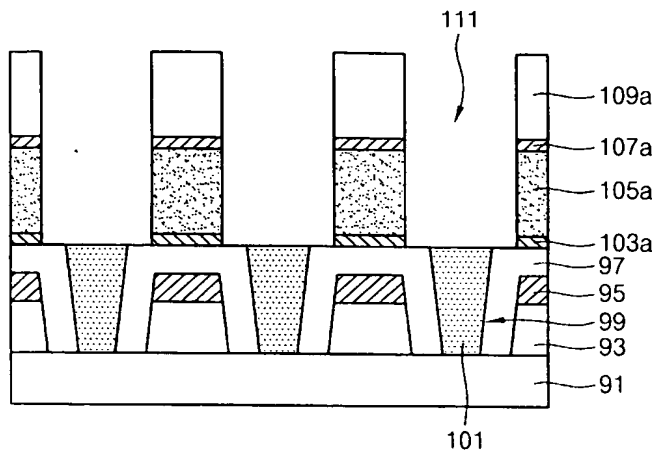
【도 2h】



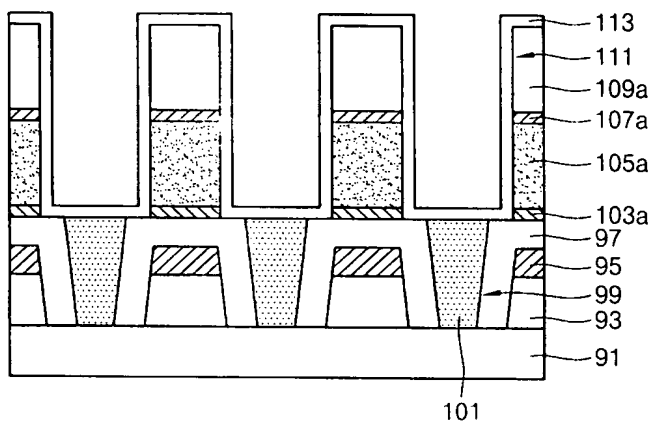
【도 3a】



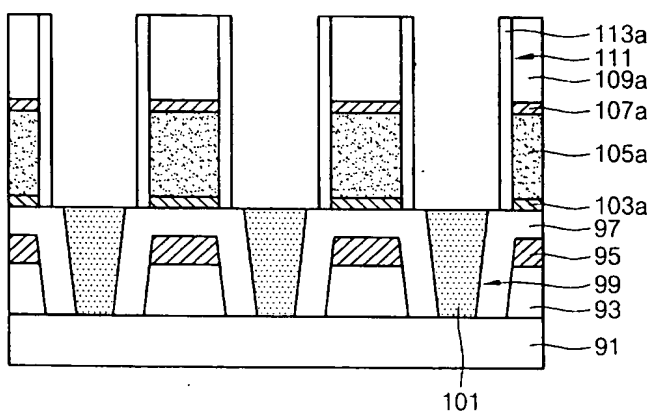
【도 3b】



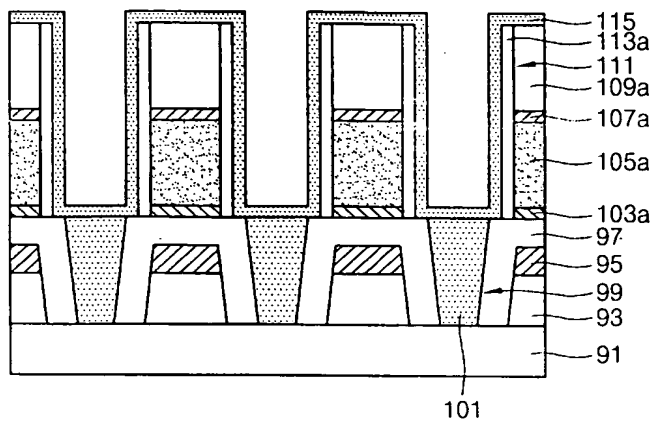
【도 3c】



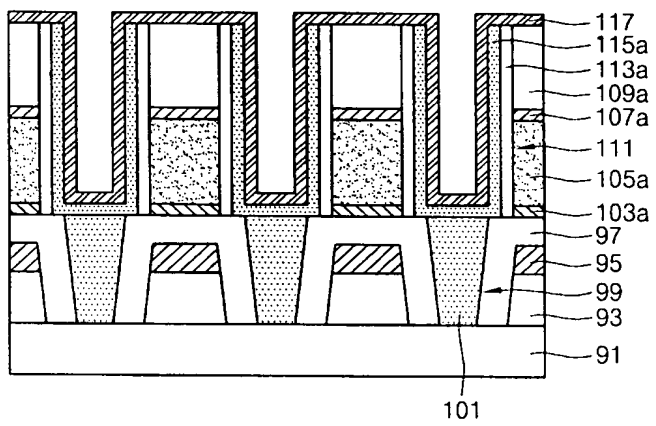
【도 3d】



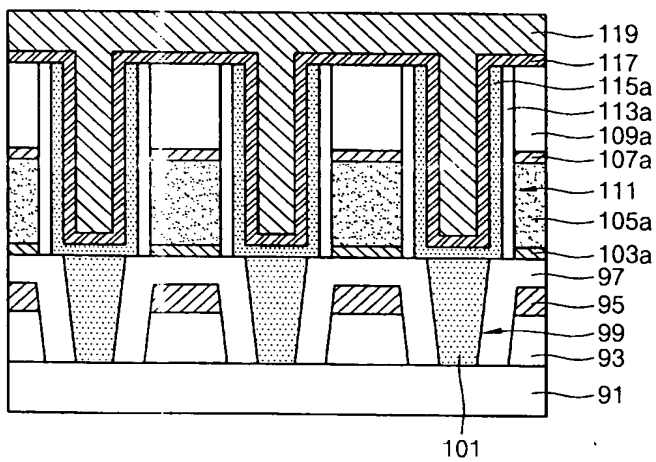
【도 3e】



【도 3f】



【도 3g】



【도 3h】

